

上海市科学技术委员会

沪科指南〔2025〕20号

上海市科学技术委员会关于发布2025年度 基础研究计划“集成电路”项目 申报指南的通知

各有关单位：

为深入实施创新驱动发展战略，加快建设具有全球影响力的科技创新中心，根据《上海市建设具有全球影响力的科技创新中心“十四五”规划》，上海市科学技术委员会特发布2025年度基础研究计划“集成电路”项目申报指南。

一、征集范围

专题一、光学刻蚀

方向1: 强流电子束驱动的等离子体极紫外光源研究

研究目标: 面向高功率极紫外光刻的需求, 研究基于中能 (<10MeV) 强流电子束驱动的等离子体极紫外光源。对高重频 (~100MHz) 电子束驱动产生高温等离子体和极紫外辐射的全过程物理进行理论建模和高精度仿真, 完成电子束与等离子体的关键参数优化, 目标IF点产生>100W的极紫外辐射功率。

研究内容: 深入开展高重频强流电子束与等离子体相互作用的理论研究, 构建多物理场耦合的模拟平台, 精准模拟电子束电离连续气流产生等离子体、等离子体加热、等离子体辐射极紫外光等关键物理过程。基于模拟平台, 开展电子束、气流、等离子体的参数优化和鲁棒性研究, 提升极紫外光源的功率和稳定性。

执行期限: 2025年10月01日至2027年09月30日。

经费额度: 定额资助, 拟支持不超过2个项目, 每项资助额度100万元。

方向2: 光刻光源高精度光谱研究

研究目标: 开展17、18价钆 (Gd) 离子谱线高精度研究, 实验上获得其位于5.7-7.7nm波段范围内的高精度谱线, 6.Xnm波段附近谱线波长不确定性低于0.004nm。

研究内容: 基于电子束离子阱、高精度平焦场谱仪等装置, 开展17、18价Gd高电荷态离子光谱实验研究。利用内校刻方法, 消除离子位置差异产生的系统偏差, 实现光谱的高精度测量, 同时结合原子结构计算程序包, 模拟并分析不同价态的Gd离子谱线, 为光刻光源的优化研究提供关键实验和理论数据支撑。

执行期限: 2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

方向3：高功率激光驱动X射线光源研究

研究目标：面向高分辨X射线光刻需求，探索提出基于高功率激光驱动的高效X射线光源产生的可行方案，光源能量范围0.5-2keV，转换效率 $\geq 8\%$ 。

研究内容：基于理论分析和模拟仿真筛选合适靶材体系，开展高功率激光高效驱动产生X射线光源的物理过程研究，量化分析激光功率、脉宽、焦斑大小、等离子体靶结构等参数对X射线光源转换效率等输出参数的影响。基于先进靶材设计、高功率激光等条件，优化提升激光到X射线光源的能量转换效率。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

方向4：亚20nm纳米孔/柱阵列的电子束光刻跨尺度作用及耦合机制研究

研究目标：针对毫米级大面积亚20nm纳米孔/柱阵列图形电子束直写面临的基础性难题，研究电子束直写曝光及显影过程中“电子-原子-纳米-宏观”的跨尺度作用及耦合机制。建立亚20nm纳米孔/柱阵列图形跨尺度电子束曝光理论模型和显影分子扩散动力学理论模型。发展不限于基于硅基衬底的拼接精度 $\leq 15\text{nm}$ 的 $5\times 5\text{mm}^2$ 大面积亚20nm纳米孔/柱阵列优化曝光、显影及图案转移工艺。

研究内容: 研究电子在亚20nm阵列图形曝光过程中的散射沉积机理及规律、光刻胶显影分子动力学理论、以及热-机械耦合拼接误差累积机理。研究直写时拼接误差调控策略（如动态校准反馈控制），并配合相应的版图设计与工艺优化，研发一套毫米级大面积亚20nm纳米孔/柱阵列电子直写曝光、显影及刻蚀工艺优化方案。

执行期限: 2025年10月01日至2027年09月30日。

经费额度: 定额资助，拟支持不超过2个项目，每项资助额度100万元。

方向5: 嵌段共聚物界面协同缺陷修复研究

研究目标: 建立短波长紫外曝光图形-嵌段共聚物材料界面协同设计准则，构建短波长紫外光刻预图案CD尺寸与不同嵌段共聚物及分子量的匹配体系，提升图形保真度，改善图形粗糙度和局部线宽均匀性，实现位错和桥连缺陷密度低于10颗/平方厘米。

研究内容: 研究短波长紫外曝光诱导的光刻胶化学改性与嵌段共聚物分子链重排路径的动态耦合机制，探究纳米级自组装缺陷在刻蚀过程中向微米级器件结构的演化规律（缺陷跨尺度传递），发展嵌段共聚物界面协同缺陷修复工艺。

执行期限: 2025年10月01日至2027年09月30日。

经费额度: 定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向6: 嵌段共聚物分子微观动力学研究

研究目标: 研究嵌段共聚物在纳米尺度约束下的微观分子动力学过程，实现周期不大于26nm、线宽不大于7nm的有序纳米结

构。研究纳米结构对器件性能的调控规律，建立适配的器件工艺集成方案，器件开关比达到 10^7 次方。

研究内容：围绕嵌段共聚物在受限环境中的相行为与动力学过程，研究其化学组分、分子量比例、界面工艺以及热处理条件对纳米结构有序性与尺寸调控的影响机制，建立稳定可控的纳米图形化方法。研究与该工艺相适配的图形转移与刻蚀方法，调控介电层、金属栅材料体系及接触结构，建立工艺流程。研究不同结构参数对器件电学特性的影响规律，揭示嵌段共聚物分子动力学过程与器件性能间的关联机制。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向7：极微缩二维晶体管的非光刻制造研究

研究目标：发展构建极微缩二维材料晶体管的非光刻制备方法，实现栅极与电极材料空间分辨率 $\leq 5\text{nm}$ 的精确图案化加工，解析材料与二维半导体界面的形成机理。制备的极微缩二维器件要求栅极长度 $\leq 1\text{nm}$ ，沟道长度 $\leq 5\text{nm}$ ，栅极间距 $\leq 25\text{nm}$ 。制备的二维晶体管器件达到迁移率 $\geq 250\text{cm}^2/\text{Vs}$ ，开态电流 $\geq 1\text{mA}/\mu\text{m}$ ，关态电流 $\leq 1\text{pA}/\mu\text{m}$ ，亚阈值摆幅 $\leq 80\text{mV}/\text{dec}$ 。

研究内容：研究精确排布栅极材料和电极材料的非光刻纳米定位方法，进行二维半导体界面纳米结构的精确图案化控制。研究建立原位结构及原位电学表征方法，揭示界面形成机理。研究掺杂分子、界面工程、退火工艺等对极微缩器件电学性能的影响

规律，设计性能优化的策略，研发极微缩与超高集成密度的二维晶体管。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向8：纳米光刻基础研究

研究目标：面向鳍式场效应晶体管制造，发展生产兼容的纳米光刻工艺，实现线宽度14纳米、高宽比3:1、线边缘粗糙度(LER)低于1/10，侧壁垂直度不低于87°，图形化面积不小于200 μm ×200 μm 。

研究内容：研究纳米结构制造中的尺寸效应，研究筛选最佳材料。研究周期性线条密集图形电子束曝光邻近效应消除方法。发展等离子体刻蚀工艺，消除干刻蚀中的各向同性。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向9：嵌段共聚物高分子自组装动态原位表征研究

研究目标：研究嵌段共聚物高分子自组装动态过程，阐明10纳米级有序结构动态演化规律，建立跨尺度（分子-介观-宏观）时空分辨表征方法学，构建多场耦合条件下自组装动力学理论模型，揭示缺陷形成与湮灭的分子机制，形成动态调控理论框架。至少阐明两种缺陷消除方法，有效扩大膜厚工艺窗口两倍以上。

研究内容：面向纳米尺度高分子自组装基础科学问题展开研究，聚焦嵌段共聚物高分子薄膜在不同退火条件下的动态组装过

程，研究在温度场、溶剂场、电磁场、表面场等外场耦合作用下，亚稳态缺陷的产生与湮灭的机制，开发多模态原位表征系统，构建实验-仿真闭环验证平台。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

专题二、先进器件与材料

方向1：超薄自支撑光谱纯化薄膜制备研究

研究目标：针对下一代光刻光谱纯化需求，突破超薄自支撑薄膜关键技术，研发高强度大面积薄膜制备方法，实现6.Xnm透过率 $>70\%$ 、薄膜厚度 $<200\text{nm}$ 、薄膜口径 $>20\text{mm}$ 。

研究内容：揭示异质界面对BEUV光子选择性吸收的微观机理，研究超薄自支撑薄膜力学强度增强方法，发展亚纳米表面粗糙度控制和高强度大面积自支撑薄膜制备与优化方法，开展超薄自支撑薄膜的性能表征方法研究。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向2：新型光酸键合单体设计合成及在极紫外光刻中的应用研究

研究目标：针对极紫外光刻胶光子吸收率低、质子易扩散引起的随机性问题，探索合成新颖光酸键合单体（纯度 $\geq 98\%$ ，金属杂质 $\leq 20\text{ppb}$ ，储存稳定性 ≥ 6 个月）及含有其的树脂（光酸键合型共聚树脂分子量 ≤ 8000 ，反应批次间分子量偏差 ≤ 500 ，分子量分

布 ≤ 1.4 ，树脂中各共聚单体摩尔比/序列稳定可控），实现光刻分辨率 $\leq 18\text{nm}$ 、线边缘粗糙度 $\leq 2\text{nm}$ 。

研究内容：设计合成一系列对极紫外光高吸收的光酸键合单体形成光酸结构库、研究此类光酸单体与其他共聚单体的聚合反应动力学、探索可控聚合工艺，阐明光酸键合树脂结构的产酸机理和化学放大机制，以及对光刻胶性能的优化作用。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向3：边缘接触二维半导体的化学实现与电学性能研究

研究目标：开发二维半导体面内共价连接的边缘接触方案和精细表征手段，实现接触电阻 $\leq 500\Omega\cdot\mu\text{m}$ ，场效应迁移率 $\geq 100\text{cm}^2/\text{V}\cdot\text{s}$ ，电流开关比 ≥ 10 的6次方。

研究内容：开发二维半导体横向肖特基结的化学构筑方法和精细表征策略。结合实验测量与理论模拟，探索一维线接触的电荷注入机制和性能极限。研究界面耦合与接触电阻的构效关系以及界面电子态的调控规律，提出高性能二维电子器件的边缘接触方案。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向4：二维半导体原子层刻蚀研究

研究目标：针对亚纳米节点先进结构二维半导体器件，开发原子级精度的可控原子层刻蚀工艺。发展面向 MoS_2 、 WS_2 、 WSe_2

等半导体的原子级精度的ALE工艺 ≥ 3 类,在4英寸晶圆上实现埃级均匀性(RMS粗糙度 $\leq 0.1\text{nm}$),原子层刻蚀精度 $\leq 0.7\text{nm/cycle}$;建立二维半导体原子级反应理论模型,揭示相关ALE反应机理 ≥ 3 项。

研究内容: 结合分子动力学与蒙特卡罗等方法,构建多物理场模型,分析前驱体的分布、吸附/解吸机制,量化活化能垒等。开发热型、等离子型或其它新机制原子层刻蚀工艺,阐明自限制反应动力学机制,优化刻蚀选择比、缺陷密度等。构筑二维半导体晶体管,评估ALE工艺与量产工艺兼容性(选择比、均匀性等)。

执行期限: 2025年10月01日至2027年09月30日。

经费额度: 定额资助,拟支持不超过1个项目,每项资助额度100万元。

方向5: 铪基铁电器件在存储及神经形态计算中的应用和机理研究

研究目标: 发展低热预算($\leq 300^\circ\text{C}$) CMOS兼容铪基铁电薄膜($2Pr \geq 50\mu\text{C}/\text{cm}^2$)制备方法,建立晶圆级超快脉冲(200ps)测试体系揭示相型/晶粒/界面调控机制,阐明神经元功能跨尺度耦合机理。提出新型存算一体脉冲神经网络(SNN)架构,相较于目前SNN突触/神经元分离的传统硬件架构实现功耗降低和速度提升各10倍以上的系统优化。

研究内容: 采用第一性原理计算研究掺杂元素的晶相稳定机制,开发ALD低温薄膜生长工艺,研究元素掺杂、薄膜结构、退火方式、电极材料、功能层材料等对铁电极化翻转特性的影响规律。研究可直接匹配晶圆器件的亚纳秒级超快电学测试表征方法。探究相型、晶粒、界面等对铁电极化的调控机制。制备光电

模式原位切换的可重构器件原型，设计光电协同控制存算一体SNN架构。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

方向6：先进纳米互连中的薄膜材料微结构和应力研究

研究目标：面向先进工艺的互连应用需求，针对互连电阻和可靠性中的单晶界问题，建立铜和替代金属材料中晶界截交线处原子尺度局域应力理论模型，实现铜和替代材料薄膜的制备和薄膜生长应力的原位实时监测，曲率分辨率 5×10^{-5} 次方每米，并探索截交线局域应力、薄膜微结构、薄膜生长应力对薄膜电阻率的调控。

研究内容：发展替代金属晶界，发展截交线局域应力原子尺度模拟方法，研究铜和替代金属、不同织构薄膜中的截交线稳态结构、局域应力产生和空洞成核。建立薄膜原位应力监测，研究不同织构铜薄膜和替代金属薄膜的生长应力。研究内衬层对成膜过程、薄膜织构、晶界结构和残余应力影响，以及薄膜电阻率的尺寸效应。研究应力对薄膜电阻率和互连线可靠性的影响。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

专题三、人工智能赋能集成电路

方向1：基于大语言模型的集成电路设计研究

研究目标：对于模拟电路设计，研发推理能力增强的集成电路设计专用领域大语言模型，模型支持的智能体可提升电路模块级设计效率5倍以上。对于数字电路设计，研发基于数字集成电路VerilogRTL生成的大语言模型方法，通过反馈，对模块级RTL生成准确率可达90%以上，RTL代码生成实现在商用工具集成。两种大语言模型具备泛化特性，相结合可实现数字和模拟电路混合协同优化设计。

研究内容：对于模拟电路设计，研究数据稀缺集成电路设计领域大语言模型的训练方法和推理能力增强的模型训练方法。对于数字电路设计，研究集成电路专用领域VerilogRTL的语言模型训练提升和反馈优化方法。发展基于大语言模型的数字和模拟电路的协同优化设计方法。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向2：面向先进工艺节点的掩膜规则检查算法研究

研究目标：面向先进节点下对全芯片尺寸曼哈顿及曲线掩膜版的规则检查，制定完善的曼哈顿及曲线掩膜设计规则体系，在检测精度达到100%的基础上（即覆盖国际主流商业软件所能识别的所有违例），检测效率对比主流商业工具提升10-20倍，并完成不少于5种典型规则检查场景验证。

研究内容：开展满足先进工艺节点精度需求的掩膜规则检查算法研究。建立曼哈顿及曲线掩膜中对主图形和辅助图形的线间距、拐角间距、最小线宽、点/孔状结构尺寸、凹槽和凸起容差、

角度、斜边等多种复杂规则的完整描述与检测方案；结合人工智能技术，探索全芯片尺寸的掩膜规则高效、并行、智能化检查方法；支持CPU/GPU平台部署；在20nm及以下制程的掩膜版上完成算法典型规则检查验证。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向3：先进光刻装备智能大模型研究

研究目标：发展理论-数据融合驱动的动态先进光刻装备超精密机电系统数字孪生体，实现微秒级动态仿真和大于95%的仿真一致性。构建先进光刻装备超精密机电系统智能大模型，实现参数预测精度提高10%以上，故障预测准确率90%以上。支撑先进光刻装备超精密机电系统的调试运行等环节的智能优化和精准决策，提高系统可靠性和运行效率。

研究内容：研究搭建包含结构动力学、热变形、控制与扰动分析等多学科虚拟集成仿真框架，构建先进光刻超精密机电系统数字孪生体，揭示系统耦合特性与动态行为。结合历史运行数据、工艺设计参数及实时反馈信息，开发先进装备超精密机电系统智能大模型，提供高精度的运行状态预测与故障诊断，进行多目标协同优化下的设备参数动态调整。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向4：基于数字孪生的薄膜沉积研究

研究目标：基于数字孪生开发物理与人工智能双驱动的工艺优化方法，实现高效的薄膜沉积工艺优化。相比于基于DOE的工艺优化方法（例如单因素实验、田口设计等），试验次数缩短至DOE方法的10%-20%，效率提升5-10倍，薄膜厚度不均匀度降低30%以上，颗粒物数量减少50%以上，且在2种以上沉积设备验证该方法。

研究内容：结合机器学习、深度学习与流动、传热、化学反应等多物理场仿真，构建薄膜沉积工艺参数与工艺结果的复杂非线性、强耦合关系的模型。采用多目标智能优化等算法，进行模型工艺参数的智能搜索与最优解推理，提高工艺性能与一致性。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向5：基于小数据集的极紫外高分辨光刻胶性能预测研究

研究目标：面向极紫外高分辨光刻胶性能预测难题，基于光刻胶的化学信息、工艺参数，开发具备可解释可迁移的理论驱动机器学习模型，实现光刻胶工艺特征以及光刻性能指标（分辨率、灵敏度、粗糙度和关键尺寸一致性）的预测。要求预测关键工艺特征 ≥ 5 个，光刻性能预测误差 $\leq 5\%$ ；迁移训练需求数据量 ≤ 100 条，光刻性能预测误差 $\leq 10\%$ 。

研究内容： 开发具备可解释可迁移的理论驱动机器学习模型，基于高质量的极紫外高分辨光刻胶实验数据（密度、谱学信息等）、理论数据（能量、电子结构等）、工艺参数（配方、时间、温度等），通过理论知识、白盒模型嵌入等方式，预测光刻胶光刻工艺中可实验表征的工艺特征和光刻胶性能。分析可解释性/重要性，筛选影响光刻性能的重要描述符及工艺特征，基于小数据集进行新型极紫外高分辨光刻胶光刻性能指标预测。

执行期限： 2025年10月01日至2027年09月30日。

经费额度： 定额资助，拟支持不超过2个项目，每项资助额度50万元。

方向6：面向先进工艺的多模态原位老化检测研究

研究目标： 针对全环绕栅极场效应晶体管（GAAFET）先进工艺中器件老化引发的电路性能退化问题，揭示复杂应力条件下器件性能退化规律，研发片上多模态老化传感器，实现三种以上老化效应的原位精准识别与实时补偿，阈值电压测量精度达到1mV，单个传感器面积 $\leq 0.01\text{mm}^2$ ，单次测量时间 $\leq 1\mu\text{s}$ 。

研究内容： 基于原子尺度下的原位表征方法，研究GAAFET器件电学参数漂移与应力加载之间的演化关系，构建高精度老化模型。设计片上多模态原位老化传感器，结合机器学习算法提升多老化模式的特征解耦与检测精度，开发自适应控制架构实现电路性能退化的实时补偿。在不少于两种国产工艺平台进行技术验证，并对比分析不同工艺间及不同时间尺度下的老化特性差异。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向7：AI赋能高安全高稳定集成电路制造中硅基PUFs研究

研究目标：构建人工智能（AI）驱动集成电路制造中硅基物理不可克隆函数（PUFs）熵源特征提取模型，解决硅基PUFs熵源输出响应的稳定性和安全性问题，在 $\pm 10\%$ 电压波动下，温度 $-40^{\circ}\text{C}\sim 80^{\circ}\text{C}$ 范围内，实现抗机器学习攻击预测位准确率 $< 70\%$ 、熵源输出响应比特误码率（BER） $< 10^{-6}$ 。

研究内容：针对现有硅基PUFs存在的多物理场耦合下基础熵源可控性与稳定性矛盾以及面向AI攻击的熵源结构抗建模性缺陷，探究PUF基础熵源与制造工艺之间的关系，研究用于优化硅基PUFs熵源响应的AI模型，建立AI驱动的硅基PUFs响应偏差预测机制与抗机器学习攻击防御机制，提升硅基PUFs稳定性和安全性的性能。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

专题四、先进量测

方向1：先进半导体器件的电子断层成像与三维重建研究

研究目标：发展针对全环绕栅极晶体管（GAA）等复杂三维器件结构的电子断层成像及三维重建方法。与现有电子断层测量技术相比，空间分辨率及成像灵敏度提升2倍以上，三维测量时间缩短30%以上。

研究内容：基于待测的全环绕栅极晶体管（GAA）等三维器件结构特征，开发能够进行快速、高质量数据收集的电子断层扫描方法，最小化电子束对样品的辐照损伤。研究基于电子断层成像的漂移位置矫正等高精度结构重建方法，基于图像数据集构建具有良好泛化性的三维精准测量智能模型，完成三维测量技术验证。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

方向2：基于AFM的三维纳米量测研究

研究目标：研究原子力显微镜（AFM）悬臂梁三维形变同步测量方法，开发基于AFM的三维纳米结构量测方法，实现X&Y&Z三维定位分辨率 $<0.1\text{nm}$ ，X&Y扫描范围 $>20\text{mm}$ ，重复精度 $<20\text{pm}$ ，支持深宽比 $>20:1$ ，横向分辨率 $<5\text{nm}$ 的高精度量测。

研究内容：研究AFM悬臂梁3D形变在大深宽比结构中的有效测量方法，发展解耦针尖扭曲和高度变化的测量技术。基于悬臂梁3D形变的同步测量，精确计算探针针尖处的正交力矢量。开发用于大深宽比订制针尖的控制方法，制定扫描策略，进行精确矢量运动控制下的矢量扫描，满足先进制程中复杂纳米结构、大深宽比结构的测量需求。研究直接溯源性方法，提高测量精度和可靠性。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向3：面向压印掩模版基材的大量程高精度全场测量研究

研究目标：发展面向集成电路制造掩模版基材的大量程高精度全场三维形貌测量方法，实现视场(x-y方向)测量范围 $\geq 65\text{mm} \times 65\text{mm}$ (非拼接视场)，深度方向实现量程 $\geq 100\text{mm}$ 条件下达到小于 30nm 量级的高精度，量程精度比达到 10^6 次方。

研究内容：结合波长标定、多频率合成、最优化理论等，研究大量程高精度三维形貌测量方法，突破大量程和高精度相互制约的局限。进行理论仿真和实验，验证测量性能指标，并完成对跨深度尺度的标准样本的高精度三维形貌测量。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

方向4：芯片内部应力缺陷高分辨无损检测研究

研究目标：研究芯片内部应力缺陷精确定位方法，实现对 $5\text{-}20\mu\text{m}$ 芯片样品内部应力分布的高分辨无损表征分析，应变检测灵敏度($\Delta d/d$)优于 10^{-4} 次方，二维应变检测速率优于 10min ($10 \times 10\mu\text{m}^2$ 芯片)

研究内容：针对先进制程芯片的内部应力缺陷，基于硬X射线高穿透性和高光通量，发展无损应力表征方法。开发基于机器学习高效算法，提高成像质量和检测效率。研究芯片内部结构与应力分布之间的关系，建立一套高效的芯片内部应力无损表征流程。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向5：基于双溯源体系的12英寸晶圆跨尺度纳米融合计量研究

研究目标：阐明12英寸晶圆跨尺度计量过程量值传递规律，研究可溯源光栅干涉仪与激光干涉仪的宏微误差产生机理与测量误差最小化方法。发展双溯源体系下12英寸晶圆的跨尺度高鲁棒性纳米融合计量定值方法，实现300mm×300mm测量范围内最优定位测量不确定度小于30nm，1℃温度变化下定位漂移不大于10nm。

研究内容：研究可溯源光栅干涉仪与激光干涉仪融合定值的误差产生机制，建立跨尺度宏微测量过程中的动态校准方法，开发基于热膨胀抑制及热漂移控制的多重噪声最小化方法，进行测量系统全链路误差精细化控制。研究晶圆定位精度标准片的跨尺度制造方法，开发微纳结构高精度图像识别算法，开展双溯源体系的测量准确性与一致性比对验证，进行12英寸晶圆标准片的多参量精准计量定值。

执行期限：2025年10月01日至2027年09月30日。

经费额度：非定额资助，拟支持不超过1个项目，每项资助额度不超过300万元。

专题五、三维集成

方向1：基于太赫兹近场耦合的三维集成无线接口研究

研究目标：面向大算力系统对高密度三维集成的需求，针对现有TSV+ μ Bump技术成本高昂、工艺复杂、可扩展性受限等问题，探索面向产业应用的新形态太赫兹三维无线接口，实现低成本、高密度、高能效及高可靠性的非接触式互连，能耗效率优于1pJ/b，互连密度优于1Tb/s/mm²；堆叠层数不低于8层，单通道最高数据率超过120Gb/s。

研究内容：研究三维堆叠场景下多物理场的建模与分析，优化信道损耗和频响特性，建立有效的信道模型。探索高能效片上太赫兹信号发生与检测的机制。研发低损耗、高频谱利用率的新型调制解调技术。搭建三维堆叠原型系统，完成功能和性能的验证。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度50万元。

方向2：面向三维集成的高密度高可靠设计研究

研究目标：建立一套面向高密度无凸点三维集成芯片制造工艺标准流程和设计规则，提出增强三维集成工艺良率的关键材料和可靠性提升方法，开发间距小于5 μ m的芯片-晶圆的混合键合工艺；阐明三维集成工艺对器件的电子迁移率和阈值电压等性能的影响机制。

研究内容：研究面向高密度无凸点三维集成芯片的关键工艺模块，包括不限于TSV刻蚀工艺、混合键合、Cu电镀工艺、芯片-晶圆对准和芯片划片等，研究三维集成的键合界面材料、结构参数、工艺良率与可靠性的内在关系和影响机制，开展电磁-热-力

多物理场和TCAD等多种仿真协同方法研究，研究TSV、混合键合、减薄等工艺对芯片关键器件性能的影响机制并验证。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

方向3：三维集成芯片高效散热研究

研究目标：研发适用于三维集成芯片堆叠层数>3层，总功耗>1kW应用场景的高效散热方法，形成一套理论完备、路径可行、数据充分的三维集成芯片散热解决方案。要求散热能力>1000W/cm²，热点处极限散热能力>2000W/cm²，结温低于100℃，中间层芯片单层散热能力>200W/cm²，芯片均温性（每层内的最大和最小温度差）<5℃。

研究内容：结合包括但不限于液冷散热、热电制冷、微通道散热、相变材料散热、高导热材料等，基于理论分析、多尺度热仿真、材料制备和工艺开发、散热结构设计、微纳制造与可靠性评估、实验表征等研究方法，丰富三维散热的理论体系，揭示材料特性、结构参数与散热性能之间的内在关系，提升三维集成芯片散热能力。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

方向4：基于TGV先进封装的有源功能三维集成研究

研究目标：揭示不同类型激光与玻璃的相互作用机理，建立三维集成结构的整体应力匹配优化模型，发展包括玻璃通孔（TGV）互连、多层RDL、有源功能器件键合的三维集成成套工艺。在12英寸玻璃晶圆上，实现TGV通孔成型深宽比大于50: 1，RDL互连最小线宽/线距 $\leq 1\mu\text{m}$ 、叠层不少于3层，完成10颗以上硅基芯粒在同一TGV基板上的三维集成。

研究内容：研究12英寸玻璃基板上TGV通孔刻蚀成型与侧壁微裂纹钝化方法，突破高深宽比通孔侧壁金属化和填充核心工艺，开展TGV基板上的RDL多层布线与互连研究，研究介质层与互连金属之间的异质界面结合增强方法，优化多层结构的CMP平坦化方法，构建D2W键合仿真模型及其低应力匹配方法。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过1个项目，每项资助额度100万元。

专题六、系统与计算

方向1：低温CMOS高能效电路设计与优化研究

研究目标：研究基于动态逻辑的低温标准单元库与功耗优先综合算法，实现77K温度下相比静态逻辑电路15%以上的延迟下降与30%以上能效比提升。利用动态电压频率调整，实现系统在77K温度下20%以上功耗降低。

研究内容：针对低温CMOS在高能效计算应用方面潜力，开发高通量低温器件测试方案。研究低温环境下器件可靠性与局部/全局差异化机理，通过低温单元库设计与综合算法等研究，建立面向高性能-低功耗低温电路的优化框架，探索低温动态逻辑电

路的延迟与功耗性能边界，完善低温集成电路设计领域的基础理论与支撑技术。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

方向2：概率比特的器件开发与应用研究

研究目标：基于自旋、极化、阻变、相变等新原理器件，研究概率可调的物理机制，制备先进的真随机性概率比特器件，实现室温下100MHz以上随机翻转速度、单次操作能耗小于100fJ、耐久性大于 $1e10$ 。利用上述概率比特器件搭建电路，设计高效概率算法，实现大数分解、贝叶斯推断、可逆布尔逻辑等应用中的至少一种，并在该应用达到世界领先水平（如大数分解达到五位数以上水平）。

研究内容：筛选CMOS兼容的概率比特关键材料和器件设计方法，完成器件制备，并对进行完备的基本电学测试和可靠性测试，评估器件的性能水平（如随机翻转速度、单次操作能耗、耐久性等）。研究器件的随机特性物理机制和优化调控方法，建立基于该器件物理和电路模型，并设计电路和高效的概率算法，探索其在概率计算中的应用潜力。搭建器件验证系统，验证典型概率计算的应用。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

方向3：基于铁电器件的新型计算范式加速器研究

研究目标：研究高可靠铁电器件的制备方法，提出基于铁电器件的新型计算范式的实现方案，实现铁电器件循环操作次数大于 10^{12} ，读写操作电压 $\leq 3V$ ，单元器件访问功耗 $\leq 1pJ$ 。研发对应计算范式的加速器并验证4bit精度峰值算力能效达到100TOPS/W（28nm工艺）。

研究内容：面向特定的计算范式，优化铁电器件制备工艺，开发铁电器件的操作方法，设计铁电存储与计算单元，提出对应的存储架构，优化数据通路和硬件映射方案，开发出基于铁电器件的高可靠，高性能新型计算范式加速器。

执行期限：2025年10月01日至2027年09月30日。

经费额度：定额资助，拟支持不超过2个项目，每项资助额度100万元。

二、申报要求

除满足前述相应条件外，还须遵循以下要求：

1. 项目申报单位应当是注册在本市的法人或非法人组织，具有组织项目实施的相应能力。

2. 对于申请人在以往市级财政资金或其他机构（如科技部、国家自然科学基金等）资助项目基础上提出的新项目，应明确阐述二者的异同、继承与发展关系。

3. 所有申报单位和项目参与者应遵守科研诚信管理要求，项目负责人应承诺所提交材料真实性，申报单位应当对申请人的申请资格负责，并对申请材料的真实性和完整性进行审核，不得提交有涉密内容的项目申请。

4. 申报项目若提出回避专家申请的，须在提交项目可行性方案的同时，上传由申报单位出具公函提出回避专家名单与理由。

5. 所有申报单位和项目参与者应遵守科技伦理准则。拟开展的科技活动应进行科技伦理风险评估，涉及科技部《科技伦理审查办法（试行）》（国科发监〔2023〕167号）第二条所列范围科技活动的，应按要求进行科技伦理审查并提供相应的科技伦理审查批准材料。

6. 所有申报单位和项目参与者应遵守人类遗传资源管理相关法规和病原微生物实验室生物安全管理相关规定。

7. 已作为项目负责人承担市科委科技计划在研项目2项及以上者，不得作为项目负责人申报。

8. 项目经费预算编制应当真实、合理，符合市科委科技计划项目经费管理的有关要求。

9. 各研究方向同一单位限报1项。

三、申报方式

1. 项目申报采用网上申报方式，无需送交纸质材料。请申请人通过“上海市科技管理信息系统”（svc.stcsm.sh.gov.cn）进入“项目申报”，进行网上填报，由申报单位对填报内容进行网上审核后提交。

【初次填写】使用“一网通办”登录（如尚未注册账号，请先转入“一网通办”注册账号页面完成注册），进入申报指南页面，点击相应的指南专题，进行项目申报；

【继续填写】使用“一网通办”登录后，继续该项目的填报。有关操作可参阅在线帮助。

2. 项目网上填报起始时间为2025年7月4日9:00, 截止时间(含申报单位网上审核提交)为2025年7月23日16:30。

四、评审方式

采用第一轮通讯评审、第二轮见面会评审方式。

五、实施管理要求

项目实施过程中将设置“里程碑”节点, 检查项目进展, 明确继续或终止实施。

六、咨询电话

服务热线: 8008205114 (座机)、4008205114 (手机)

上海市科学技术委员会

2025年6月26日

(此件主动公开)